

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-335592

(43)公開日 平成10年(1998)12月18日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 27/04

H 0 1 L 27/04

L

21/822

21/90

N

21/768

審査請求 未請求 請求項の数 8 O L (全 6 頁)

(21)出願番号 特願平9-147366

(22)出願日 平成9年(1997)6月5日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 江尻 洋一

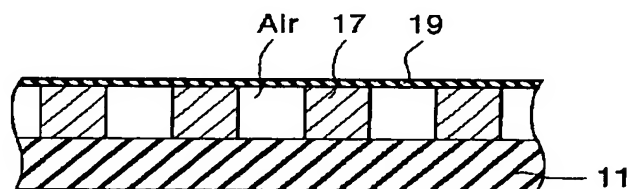
東京都品川区北品川6丁目7番35号ソニー株式会社内

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 寄生容量が少なく、高周波特性に優れたインダクター等を少ない工程数で形成できる半導体装置の製造方法を提供する。

【解決手段】 導電体17の上面及び下面が絶縁膜11、19に接しており、該導電体17の相互間を中空とする半導体装置の製造方法であって、該中空とする部分にアモルファスカーボンを形成する工程と、該アモルファスカーボンの上に通気性のある絶縁膜19を形成する工程と、該アモルファスカーボンを酸素雰囲気中で熱処理を行うことにより、該アモルファスカーボンを除去する工程と、を具備することを特徴とする。



1

【特許請求の範囲】

【請求項 1】 導電体の上面及び下面が絶縁膜に接しており、該導電体の相互間を中空とする半導体装置の製造方法であって、

該中空とする部分にアモルファスカーボンを形成する工程と、

該アモルファスカーボンの上に通気性のある絶縁膜を形成する工程と、

該アモルファスカーボンを酸素雰囲気中で熱処理を行うことにより、該アモルファスカーボンを除去する工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項 2】 上記アモルファスカーボンを形成する工程の該アモルファスカーボンの形成方法が、スパッタによるものであることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 上記通気性のある絶縁膜がスパッタにより堆積したシリコン酸化膜であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 4】 上記導電体がインダクターを構成することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 5】 上面及び下面が絶縁膜に接し且つ相互間を中空とする第 1 の導電層と、上面及び下面が絶縁膜に接し且つ相互間を中空とする第 2 の導電層と、該第 1 及び第 2 の導電層を接続する接続部とを含む半導体装置の製造方法であって、

該中空とする部分にアモルファスカーボン形成する工程と、

該アモルファスカーボンの上に通気性のある絶縁膜を形成する工程と、

該アモルファスカーボンを酸素雰囲気中で熱処理を行うことにより、該アモルファスカーボンを除去する工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項 6】 上記アモルファスカーボンを形成する工程の該アモルファスカーボンの形成方法が、スパッタによるものであることを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 7】 上記通気性のある絶縁膜がスパッタにより堆積したシリコン酸化膜であることを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 8】 上記第 1 及び第 2 の導電層がインダクターを構成することを特徴とする請求項 5 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、インダクター、薄膜インダクター、薄膜磁気ヘッドコイル等の電子部品、基板上にインダクターを有する半導体装置の製造方法に関する。特に、寄生容量が少なく、高周波特性に優れ

2

たインダクター等を少ない工程数で形成できる半導体装置の製造方法に関する。

【0002】

【従来の技術】 現在、インダクターは、電子回路技術的に受動素子として多く使われている。また、最近では、半導体基板上に形成した多層配線を利用してインダクターを構成し、On Chip 化する例が報告されている。ただし、半導体チップ上に形成した場合は、限られたスペースにおいてレイアウト (Layout) する必要性から、寄生容量や直列抵抗を抑制することは困難で、高周波領域において特性の低下が生じることが多かった。

【0003】 この問題を解決するために、配線間、層間、対基板間の寄生容量を低減する方法が報告されている。しかし、この方法では、プロセスステップ数の大幅な増加やデバイス構造の大幅な変更が必要となり、多くの種類の半導体デバイスに適用するのは困難であった。

【0004】

【発明が解決しようとする課題】 上述したように従来の半導体装置の製造方法では、半導体チップ上にインダクターを形成する場合、配線間、層間、対基板間の寄生容量を低減する方法を用いると、プロセスステップ数が大幅に増加してしまうという問題がある。

【0005】 本発明は上記のような事情を考慮してなされたものであり、その目的は、寄生容量が少なく、高周波特性に優れたインダクター等を少ない工程数で形成できる半導体装置の製造方法を提供することにある。

【0006】

【課題を解決するための手段】 上記課題を解決するため、本発明の第 1 態様に係る半導体装置の製造方法は、導電体の上面及び下面が絶縁膜に接しており、該導電体の相互間を中空とする半導体装置の製造方法であって、該中空とする部分にアモルファスカーボン形成する工程と、該アモルファスカーボンの上に通気性のある絶縁膜を形成する工程と、該アモルファスカーボンを酸素雰囲気中で熱処理を行うことにより、該アモルファスカーボンを除去する工程と、を具備することを特徴とする。また、上記アモルファスカーボンを形成する工程の該アモルファスカーボンの形成方法が、スパッタによるものであることが好ましい。また、上記通気性のある絶縁膜がスパッタにより堆積したシリコン酸化膜であることが好ましい。また、上記導電体がインダクターを構成するものであることが好ましい。

【0007】 第 1 態様に係る半導体装置の製造方法では、導電体の相互間にアモルファスカーボンを形成し、このアモルファスカーボンを酸素雰囲気中で熱処理することにより、アモルファスカーボンを酸素と反応させ、二酸化炭素としてガス化し、その結果、アモルファスカーボンを導電体の相互間から除去する。これにより、導電体の相互間を空気 (Air) によって絶縁した半導体装置を形成できる。このように誘電体が空気の場合は、例

例えば絶縁材を SiO_2 にした場合に比べて比誘電率が約 $1/4$ となる。したがって、寄生容量も非常に低い値とすることができ、寄生容量の少ない高周波特性に優れた高性能のインダクター等を少ない工程数で形成できる。

【0008】本発明の第2態様に係る半導体装置の製造方法は、上面及び下面が絶縁膜に接し且つ相互間を中空とする第1の導電層と、上面及び下面が絶縁膜に接し且つ相互間を中空とする第2の導電層と、該第1及び第2の導電層を接続する接続部を含む半導体装置の製造方法であって、該中空とする部分にアモルファスカーボン

【0009】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を説明する。図1～図6は、本発明の第1の実施の形態による半導体装置の製造方法を示す断面図であり、図7は、この方法で製造された単層の配線にてインダクターを構成したものを示す平面図である。

【0010】先ず、図1に示すように、絶縁膜11の上にはスパッタ (Sputter) により厚さが $500\text{nm} \sim 1.5\mu\text{m}$ 程度のスペーサー (Spacer) としてのアモル

【0011】この後、図2に示すように、アモルファスカーボン膜13には、フォトリソとDryEtching技術によりインダクターとなる配線部分にコイル状の溝15が形成される。この溝15の平面形状は図7に示す配線 (Metal、導電体) 17の平面形状と同様である。

【0012】次に、図3に示すように、コイル状の溝15内及びアモルファスカーボン膜13上には、Sputter

【0013】この後、図4に示すように、この配線材17にDryEtch などによるEtch Back あるいはCMP (Chemical Mechanical Polishing) などを行うことにより、アモルファスカーボン膜13上の配線材17が除去され、上記コイル状の溝15内だけに配線材17が残される。これにより、絶縁膜11の上には、図7に示すコイル状の配線 (Metal) 17が形成される。

【0014】次に、図5に示すように、配線材17及び

アモルファスカーボン膜13の上には、例えばSputterにより厚さが $50 \sim 300\text{nm}$ 程度の通気性を有する SiO_2 からなる絶縁膜19が堆積される。

【0015】この後、図6に示すように、配線材17は $350^\circ\text{C} \sim 500^\circ\text{C}$ 程度の酸素雰囲気中に放置される。これにより、アモルファスカーボン膜13は通気性のある絶縁膜19を通過した酸素 (O_2) と反応し、二酸化炭素 (CO_2) となってガス化する。その結果、アモルファスカーボン膜13は配線材17の相互間から取り除かれる。これにより、空気 (Air) が配線材17の相互間を絶縁する絶縁材となる。また、コイル状に形成された配線 (Metal) 17を上方から見た場合の形状が図7に示されている。この配線17のコイルの中心17aから引き出しを多層配線技術を用いた他の配線によって形成すれば、インダクターを形成できる。

【0016】上記第1の実施の形態によれば、配線 (Metal) 17でインダクターを形成し、配線17の相互間にアモルファスカーボン膜13を形成し、このアモルファスカーボン膜13を $350^\circ\text{C} \sim 500^\circ\text{C}$ 程度の酸素雰囲気中に放置することにより、アモルファスカーボン膜13を酸素と反応させ、二酸化炭素としてガス化し、その結果、アモルファスカーボン膜13を配線17の相互間から取り除く。これにより、配線17の相互間を空気 (Air) によって絶縁している。このように誘電体が空気の場合は、例えば絶縁材を SiO_2 にした場合に比べて比誘電率が約 $1/4$ となる。したがって、寄生容量も非常に低い値とすることができ、寄生容量の少ない高周波特性に優れた高性能のインダクターを得ることができる。また、工程数も少なくでき、高歩留まりの実現も容易である。

【0017】また、上記半導体装置の製造方法では、基板上に周辺回路を先に形成しておき、その後に上記インダクターを同一基板上に形成することも可能であり、ひいては、ChipのLowCost化、Chip面積の縮小化を図ることができ、高密度、高集積、高信頼性で高歩留まりの素子を含む半導体装置の製造を実現でき、高性能、高密度、高集積、高信頼性のLSIデバイスの製造を実現できる。

【0018】図8～図12は、本発明の第2の実施の形態による半導体装置の製造方法を示すものであって、多層配線によってインダクターを形成した例を示す断面図である。図13は、この方法で製造された多層配線を用いたインダクターを構成したものを示す平面図である。

【0019】先ず、図8に示すように、半導体基板 (シリコン基板) 31の上には厚さが $200\text{nm} \sim 1.5\mu\text{m}$ 程度の絶縁膜33が形成される。

【0020】この後、この絶縁膜33の上にはSputterにより厚さが $500\text{nm} \sim 1.5\mu\text{m}$ 程度のSpacerとしての図示せぬ第1のアモルファスカーボン膜が堆積される。次に、この第1のアモルファスカーボン膜には、フ

オトリソとDryEtching技術により第1の配線 (Metal-1、導電体) 35が埋め込まれる部分に配線溝が形成される。この配線溝の平面形状は図13に示す第1の配線 (Metal-1) 35の平面形状と同様である。

【0021】次に、この溝内及び第1のアモルファスカーボン膜上には、SputterあるいはCVD法などによりAl、Al合金、Cu、Wなどの配線材 (Metal-1) 35が堆積される。

【0022】この後、この配線材35にDryEtchなどによるEtch BackあるいはCMPなどを行うことにより、第1のアモルファスカーボン膜上の配線材35が除去され、上記溝内のみに配線材35が残される。

【0023】次に、配線材35及び第1のアモルファスカーボン膜の上には、例えばSputterにより厚さが50～300nm程度の通気性を有するSiO₂からなる絶縁膜37が堆積される。

【0024】この後、配線材35は350℃～500℃程度の酸素雰囲気中に放置される。これにより、第1のアモルファスカーボン膜は通気性のある絶縁膜37を通過した酸素 (O₂) と反応し、二酸化炭素 (CO₂) となってガス化する。その結果、第1のアモルファスカーボン膜は配線材35の相互間から取り除かれる。これにより、空気 (Air) が第1の配線35の相互間を絶縁する絶縁材となる。このようにして絶縁膜33の上には、図13に示す平面形状を有する第1の配線 (Metal-1) 35が形成される。

【0025】次に、図9に示すように、絶縁膜37の上にはSputterにより厚さが500nm～1.5μm程度の第2のアモルファスカーボン膜39が堆積され、このアモルファスカーボン膜39の上にはSputterにより厚さが50～300nm程度の通気性を有するSiO₂からなる絶縁膜41が堆積される。この後、この絶縁膜41の上にはSputterにより厚さが500nm～1.5μm程度の第3のアモルファスカーボン膜43が堆積される。

【0026】この後、図10に示すように、第2のアモルファスカーボン膜39及び絶縁膜37、41にはVia Hole 39aが形成され、第3のアモルファスカーボン膜43には第2の配線 (Metal-2、導電体) 45が埋め込まれる部分に配線溝が形成される。この配線溝の平面形状は図13に示す第2の配線 (Metal-2) 45の平面形状と同様である。

【0027】次に、ViaHole 39a内、配線溝内及び第3のアモルファスカーボン膜43上には、SputterあるいはCVD法などによりAl、Al合金、Cu、Wなどの配線材が堆積される。次に、この配線材にDryEtchなどによるEtch BackあるいはCMPなどを行うことにより、第3のアモルファスカーボン膜43上の配線材が除去され、配線溝内のみに配線材が残される。これにより、第1の配線35の上方には第2の配線45が形成され、第2の配線45はViaHole 39aに埋め込ま

れた配線材を介して第1の配線35に電気的に接続される。

【0028】この後、図11に示すように、第2の配線45及び第3のアモルファスカーボン膜43の上にはSputterにより厚さが50nm～300nm程度の通気性のあるSiO₂からなる絶縁膜47が堆積される。これにより、第2の配線45の表面がCapされる。

【0029】次に、図12に示すように、第1、第2の配線35、45は350℃～500℃程度の酸素雰囲気中に放置される。これにより、第1～第3のアモルファスカーボン膜39、43は通気性のある絶縁膜37、41、47を通過した酸素 (O₂) と反応し、二酸化炭素 (CO₂) となってガス化する。その結果、第1～第3のアモルファスカーボン膜39、43は第1、第2の配線35、45、ViaHole内の配線材それぞれの相互間から取り除かれる。これにより、空気 (Air) が配線35、45の相互間/層間を絶縁する絶縁材となる。したがって、図13に示す多層配線を用いたインダクターを形成できる。このように配線間/層間の絶縁材料を空気とした場合は、例えば絶縁材をSiO₂にした場合に比べて比誘電率が約1/4となる。よって、寄生容量も非常に低い値となり、寄生容量の少ない、高周波特性に優れたインダクターを得ることができる。

【0030】上記第2の実施の形態においても第1の実施の形態と同様の効果を得ることができる。

【0031】さらに、上記製造方法を従来の半導体プロセスに組み合わせる場合は、配線工程のみを変更することで対応可能であるので、従来の半導体デバイスの構造を大幅に変更する必要がなく、多くの半導体デバイスに適用することが容易となる。したがって、上記製造方法は従来の半導体プロセスと容易に組み合わせることができ、On Chipにて高性能のインダクターを形成することが可能である。

【0032】図14は、本発明の第3の実施の形態による半導体装置の製造方法によって製造された多層配線を用いたインダクターを構成したものを示す平面図であり、図13と同一部分には同一符号を付し、異なる部分についてのみ説明する。

【0033】図14に示す半導体装置は図8～図12に示す工程とはほぼ同様の工程により製造することができ、第3の実施の形態による製造方法は以下の点のみが異なる。

【0034】第1のアモルファスカーボン膜には、図14に示す第1の配線 (Metal-1) 35の平面形状と同様の形状からなる第1の配線35を埋め込む配線溝が形成される。

【0035】また、第3のアモルファスカーボン膜43には、図13に示す第2の配線 (Metal-2) 45の平面形状と同様の形状からなる第2の配線45を埋め込む配線溝が形成される。

【0036】上記第3の実施の形態においても第2の実施の形態と同様の効果を得ることができる。

【0037】尚、上記第1～第3の実施の形態では、本発明の半導体装置の製造方法をインダクターの製造に用いているが、本発明を他の電子部品の製造に用いることも可能であり、例えば薄膜インダクター、薄膜磁気ヘッドコイル等に用いることも可能である。

【0038】また、当然のことながら、本発明は上記実施の形態に示した素子又は半導体装置に限定されるものではない。

【0039】

【発明の効果】以上説明したように本発明によれば、導電体の相互間にアモルファスカーボンを形成し、該アモルファスカーボンを酸素雰囲気中で熱処理を行うことにより、該アモルファスカーボンを除去する。したがって、寄生容量が少なく、高周波特性に優れたインダクター等を少ない工程数で形成することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による半導体装置の製造方法を示す断面図である。

【図2】本発明の第1の実施の形態による半導体装置の製造方法を示すものであり、図1の次の工程を示す断面図である。

【図3】本発明の第1の実施の形態による半導体装置の製造方法を示すものであり、図2の次の工程を示す断面図である。

【図4】本発明の第1の実施の形態による半導体装置の製造方法を示すものであり、図3の次の工程を示す断面図である。

【図5】本発明の第1の実施の形態による半導体装置の製造方法を示すものであり、図4の次の工程を示す断面図である。

【図6】本発明の第1の実施の形態による半導体装置の製造方法を示すものであり、図5の次の工程を示す断面図である。

*図である。

【図7】第1の実施の形態による半導体装置の製造方法で製造された単層の配線にてインダクターを構成したものを示す平面図である。

【図8】本発明の第2の実施の形態による半導体装置の製造方法を示す断面図である。

【図9】本発明の第2の実施の形態による半導体装置の製造方法を示すものであり、図8の次の工程を示す断面図である。

【図10】本発明の第2の実施の形態による半導体装置の製造方法を示すものであり、図9の次の工程を示す断面図である。

【図11】本発明の第2の実施の形態による半導体装置の製造方法を示すものであり、図10の次の工程を示す断面図である。

【図12】本発明の第2の実施の形態による半導体装置の製造方法を示すものであり、図11の次の工程を示す断面図である。

【図13】本発明の第2の実施の形態による半導体装置の製造方法で製造された多層配線を用いたインダクターを構成したものを示す平面図である。

【図14】本発明の第3の実施の形態による半導体装置の製造方法で製造された多層配線を用いたインダクターを構成したものを示す平面図である。

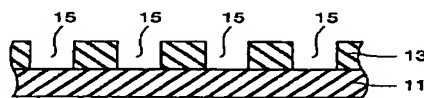
【符号の説明】

11…絶縁膜、13…アモルファスカーボン膜、15…コイル状の溝、17a…コイルの中心、17…配線(Metal、導電体)、19…絶縁膜(SiO₂)、31…半導体基板(シリコン基板)、33…絶縁膜、35…第1の配線(Metal-1、導電体)、37…絶縁膜(SiO₂)、39…第2のアモルファスカーボン膜、39a…ViaHole、41…絶縁膜(SiO₂)、43…第3のアモルファスカーボン膜、45…第2の配線(Metal-2、導電体)、47…絶縁膜(SiO₂)。

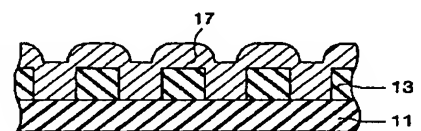
【図1】



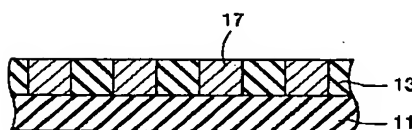
【図2】



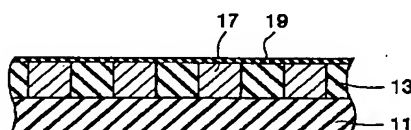
【図3】



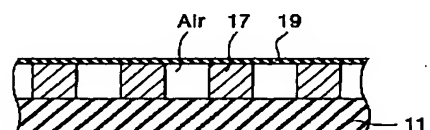
【図4】



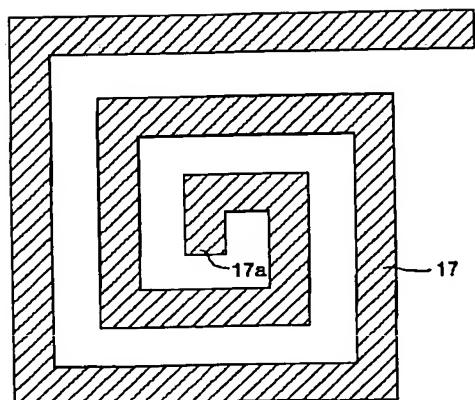
【図5】



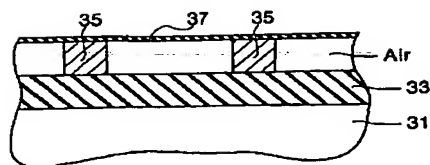
【図6】



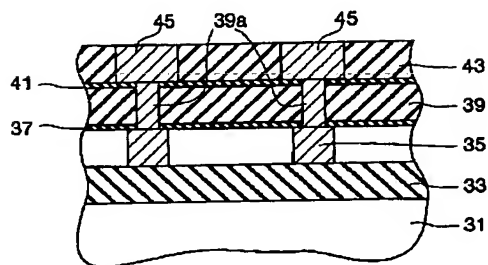
【図 7】



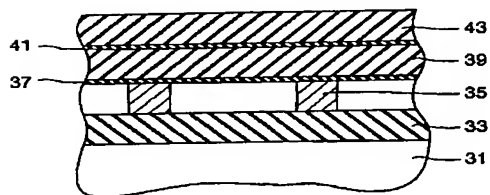
【図 8】



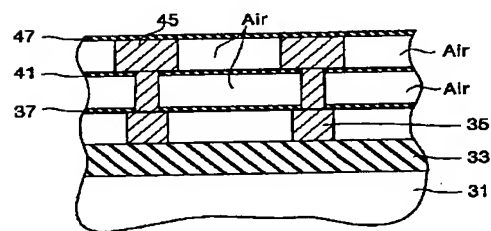
【図 10】



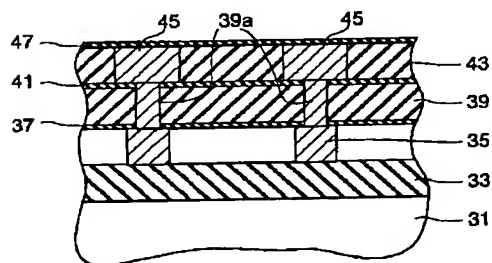
【図 9】



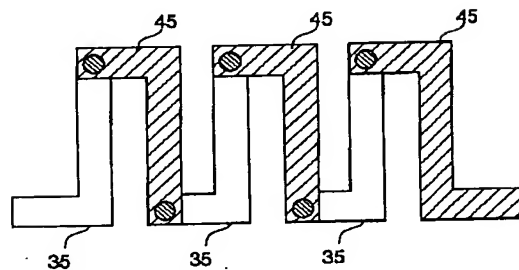
【図 12】



【図 11】



【図 14】



【図 13】

